

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Masanao YOKOYAMA

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed April 9, 2004

Examiner

HARD-MACRO AND SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING THE  
SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

April 9, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-107682	April 11, 2003

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



---

Benoit Castel, Reg. No. 35,041  
745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297  
Telefax (703) 685-0573  
703) 979-4709

BC/yr

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 1 1 日  
Date of Application:

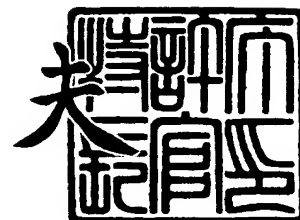
出 願 番 号                      特 願 2 0 0 3 - 1 0 7 6 8 2  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 1 0 7 6 8 2 ]

出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 4 年    3 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 71310505

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
                          N E C エレクトロニクス株式会社内

    【氏名】 横山 勝巨

【特許出願人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

    【識別番号】 100096105

    【弁理士】

    【氏名又は名称】 天野 広

    【電話番号】 03(5484)2241

【手数料の表示】

    【予納台帳番号】 038830

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0216506

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハードマクロ及びこれを備える半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体チップ上に配されて半導体集積回路の一部を構成するハードマクロにおいて、

当該ハードマクロには、該ハードマクロの内部を通過する通過配線が、該ハードマクロの前記半導体チップ上への配置前に予め施され、

前記通過配線の経路は、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されていることを特徴とするハードマクロ。

【請求項 2】 前記他辺は前記一辺に対し直交する辺であることを特徴とする請求項 1 に記載のハードマクロ。

【請求項 3】 前記他辺は前記一辺に隣接する辺であることを特徴とする請求項 1 又は 2 に記載のハードマクロ。

【請求項 4】 前記通過配線は、当該ハードマクロ内を L 字状に通過することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のハードマクロ。

【請求項 5】 前記通過配線は、当該ハードマクロ内を直線状に通過することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のハードマクロ。

【請求項 6】 前記通過配線にはリピータが挿入されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のハードマクロ。

【請求項 7】 前記通過配線を複数備えることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のハードマクロ。

【請求項 8】 複数の通過配線が一定間隔に配されていることを特徴とする請求項 7 に記載のハードマクロ。

【請求項 9】 少なくとも 1 つの通過配線にはリピータが挿入されていることを特徴とする請求項 7 又は 8 に記載のハードマクロ。

【請求項 10】 一の通過配線が複数の区間に分割され、該区間毎の配線が、当該ハードマクロ内部の複数の階層に分散配置されていることを特徴とする請求項 1 乃至 9 のいずれか一項に記載のハードマクロ。

【請求項 11】 当該ハードマクロは、RAMであることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のハードマクロ。

【請求項 12】 当該ハードマクロは、PLL回路であることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のハードマクロ。

【請求項 13】 請求項 1 乃至 12 のいずれか一項に記載のハードマクロを備えて構成されていることを特徴とする半導体集積回路。

【請求項 14】 当該半導体集積回路は、CBI Cであることを特徴とする請求項 13 に記載の半導体集積回路。

【請求項 15】 請求項 13 又は 14 に記載の半導体集積回路のフロアプラン検討を行うためのフロアプラン検討手段を備えることを特徴とするフロアプラン検討装置。

【請求項 16】 前記フロアプラン検討手段には、前記通過配線の使用態様を検討する通過配線使用態様検討手段が含まれていることを特徴とする請求項 15 に記載のフロアプラン検討装置。

【請求項 17】 コンピュータが実行可能なプログラムにおいて、請求項 15 又は 16 に記載のフロアプラン検討手段による検討を実行することを特徴とするプログラム。

【請求項 18】 コンピュータが読み取り可能な記録媒体において、請求項 17 に記載のプログラムが記録されていることを特徴とする記録媒体。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、ハードマクロ、これを備える半導体集積回路、フロアプラン検討装置、プログラム及び記録媒体に関する。

##### 【0002】

##### 【従来の技術】

近年、半導体集積回路（Semiconductor Integrated Circuit）は、大規模化・高集積化が進められるとともに、その開発期間の短縮が要求されている。

**【0003】**

半導体集積回路には、ビルディングブロック方式と呼ばれる方式で構成されるタイプのもの（ビルディングブロック方式の半導体集積回路）がある。すなわち、各種の機能回路を要素セル（ブロック）としてまとめたものをビルディングブロックといい、このようなブロックをライブラリとして登録しておき（ライブラリ化しておき）、このうち必要なブロックを半導体チップ上に適宜レイアウトし、これらブロックを相互に配線することにより半導体集積回路を構成する方式をビルディングブロック方式という。

**【0004】**

このようなビルディングブロック方式の半導体集積回路には、例えば、セルベースIC（CBIC：Cell Base Integrated Circuit）といったセミカスタムICや、その他のフルカスタムICがある。

**【0005】**

半導体集積回路のレイアウト（フロアプラン）を行うに際しては、チップ面積や信号伝播遅延を考慮してブロック（以下、ハードマクロ）を半導体チップ上の適宜の位置に配置する。また、ハードマクロ間の領域は、ハードマクロ間に配線を施すための配線領域として利用される。

**【0006】**

ところで、フロアプランを検討するに際して、半導体集積回路内のハードマクロが配線の邪魔になる場合がある。すなわち、例えば、第1のハードマクロと第2のハードマクロとを相互に配線したい場合に、これら第1及び第2のハードマクロ間に第3のハードマクロが位置するような場合は、この第3のハードマクロが配線の邪魔になる。このような場合に、第3のハードマクロを迂回するような配線を施すとすれば、配線経路が長くなることによりタイミング収束が難しくなる。この結果、再レイアウトを行う必要が生じてTAT（Turn Around Time）がかかる（増大する）場合がある。

**【0007】**

このようにハードマクロが配線の邪魔になるといった問題の解決を図った従来の技術としては、エンベデッドアレイ方式のLSIに関してではあるが、ハード

マクロに通過配線を施す技術がある（例えば、特許文献 1 参照）。すなわち、この技術では、通過配線として、ハードマクロの外形において互いに対向する辺を通過する配線を施している。

#### 【0008】

##### 【特許文献 1】

特開平 9-64190 号公報（第 3-4 頁、第 2 図）

#### 【0009】

##### 【発明が解決しようとする課題】

しかしながら、特許文献 1 の技術では、ハードマクロの一辺側からこの辺に対向する他辺側に向けてのみ通過配線が施されるので、例えば、図 8 に示すように、ハードマクロ 500 の一辺 501 の近傍から、該一辺 501 に交差する他辺 502 の近傍に向けて配線を施したい場合には、通過配線 503 を施すのが不都合となるので（配線経路が余計に長くなるため）、ハードマクロ 500 を迂回する迂回配線 504 を施す必要がある。つまり、このような場合、特許文献 1 の技術では、上記のような従来の問題、すなわちハードマクロが配線の邪魔になるという問題を解決することができない。また、迂回配線 504 の配線領域の確保のためにハードマクロ 500 とハードマクロ 600, 700 との間隔を空ける必要があるため、チップ面積にロスが生じ、チップ面積が増大するとともに半導体集積回路の集積密度が充分でなくなる。

#### 【0010】

ここで、ハードマクロには、半導体チップ上のある領域に集約して配置することが多いタイプのもの（例えば RAM（Random Access Memory）が該当する）や、半導体チップ上の特定の領域に配置する必要があるタイプのもの（例えば、I/O PAD（I/O 領域）の近傍に配置する必要がある PLL（Phase Locked Loop）回路が該当する）がある。

#### 【0011】

従来は、RAM のように半導体チップ上のある領域に集約して配置されるハードマクロの場合にも、配線領域の確保のためにハードマクロ間にある程度の間隔を設ける必要があったし、ハードマクロ間の配線が混雑しがちになるという問題

もあった。同様に、従来は、PLL回路のように半導体チップ上の特定の領域（例えば、I/O PADの近傍）に配置されるハードマクロの場合にも、I/O PADとの間に配線領域確保のためにある程度の間隔を設ける必要があった。

#### 【0012】

また、フロアプランを検討するに際して、ハードマクロ間の配線領域をどの程度確保しておけば良いかの判断を初期段階で行うことは難しい。このため、例えば、配線領域に余裕を見積もってハードマクロ間を空けすぎた場合には、この余裕分だけチップ面積をロスしてしまうとともに、半導体集積回路の集積密度が充分でなくなっていた。逆に、ハードマクロ間が狭すぎて配線領域が不足した場合には、ハードマクロを迂回する配線が増加してしまい、この場合にも、迂回配線の配線領域の分だけチップ面積をロスしてしまうとともに、半導体集積回路の集積密度が充分でなくなっていた。つまり、従来は、配線領域の必要量の予測が困難であったためにフロアプランの検討も容易でなかった。

#### 【0013】

本発明は、上記のような問題点を解決するためになされたもので、ハードマクロが配線の邪魔になるという問題の発生を十分に抑制できるとともに配線領域を最小限に抑制でき、配線領域の必要量の予測を容易にすることでフロアプランの検討も容易に行うことを可能とするハードマクロ、これを備える半導体集積回路、フロアプラン検討装置、プログラム及び記録媒体を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明のハードマクロは、半導体チップ上に配されて半導体集積回路の一部を構成するハードマクロにおいて、当該ハードマクロには、該ハードマクロの内部を通過する通過配線が、該ハードマクロの前記半導体チップ上への配置前に予め施され、前記通過配線の経路は、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されていることを特徴としている。

#### 【0015】



本発明によれば、ハードマクロの内部を通過する通過配線が、該ハードマクロの半導体チップ上への配置前に予め施されているので、通過配線を利用して、ハードマクロ間の配線を行うことができる。従って、ハードマクロが配線の邪魔になるという問題の発生を十分に抑制できる。また、ハードマクロ間における配線数を低減できることから、ハードマクロ間において必要な配線領域を最小限に抑制することができるとともに、配線領域の必要量の予測も比較的簡単になる。この結果、フロアプランの検討も容易に行うことができる。また、通過配線を利用して配線を行うことにより配線の自由度が高まり、この結果としてレイアウトの自由度も高まるので、このことからフロアプランの検討が容易になる。また、ハードマクロ間の配線領域を抑制できることから、チップ面積を最小限にすることができるとともに、半導体集積回路の集積密度を十分なものとすることができる。また、通過配線を利用して配線を行うことにより配線経路を最小限にすることができるので、タイミング収束が容易となり、この結果、再レイアウトを行う必要性を低減させることができ、TAT (Turn Around Time) の短縮も可能となる。

#### 【0016】

また、本発明によれば、特に、通過配線の経路が、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されているので、該一辺側から該他辺側に至る配線を、通過配線を用いて施すことができる。よって、当該ハードマクロと、該ハードマクロの一辺側近傍に配されるハードマクロとの間隔、並びに、当該ハードマクロと、該ハードマクロの他辺側近傍に配されるハードマクロとの間隔を、いずれも最小限に抑制することができる。

#### 【0017】

本発明においては、前記他辺は前記一辺に対し直交する辺であることを好ましい例とする。また、前記他辺は前記一辺に隣接する辺であることを好ましい例とする。

#### 【0018】

さらに、前記通過配線は、当該ハードマクロ内をL字状に通過することを好ま

しい例とする。或いは、前記通過配線は、当該ハードマクロ内を直線状に通過することも好ましい。

#### 【 0 0 1 9 】

また、前記通過配線には、必要に応じて、リピータを挿入しておくことも好ましい。

#### 【 0 0 2 0 】

また、本発明においては、前記通過配線を複数備えることを好ましい例とする。この場合に、複数の通過配線が一定間隔に配されていることがより好ましい。

#### 【 0 0 2 1 】

また、本発明においては、一の通過配線が複数の区間に分割され、該区間毎の配線が、当該ハードマクロ内部の複数の階層に分散配置されていることも好ましい。

#### 【 0 0 2 2 】

なお、本発明のハードマクロは、具体的には、例えば、RAM (R a n d o m A c c e s s M e m o r y) や、PLL (p h a s e l o c k e d l o o p) 回路であることを好ましい例とする。

#### 【 0 0 2 3 】

また、本発明の半導体集積回路は、本発明のハードマクロを備えて構成されていることを特徴としている。

#### 【 0 0 2 4 】

本発明の半導体集積回路によれば、本発明のハードマクロを備えて構成されているので、集積密度の高いものとすることができるし、フロアプラン検討を容易に行うことができる結果として短いTATで製作することができる。本発明の半導体集積回路は、具体的には、例えば、CBIC (C e l l B a s e I n t e g r a t e d C i r c u i t) であることを好ましい例とする。

#### 【 0 0 2 5 】

また、本発明のフロアプラン検討装置は、本発明の半導体集積回路のフロアプラン検討を行うためのフロアプラン検討手段を備えることを特徴としている。ここで、フロアプラン検討手段には、前記通過配線の使用態様を検討する通過配線

使用態様検討手段が含まれていることが好ましい。

【0026】

また、本発明のプログラムは、コンピュータが実行可能なプログラムにおいて、本発明のフロアプラン検討装置のフロアプラン検討手段による検討を実行することを特徴としている。

【0027】

また、本発明の記録媒体は、コンピュータ読み取り可能な記録媒体において、本発明のプログラムが記録されていることを特徴としている。

【0028】

【発明の実施の形態】

以下、図面を参照して、本発明に係る実施の形態について説明する。

【0029】

すなわち、本実施形態では、図1乃至図5を参照して、本発明に係るハードマクロの適例としてのRAM (Random Access Memory) 1 (図1及び図2) 並びにPLL (Phase Locked Loop) 回路2 (図3) と、本発明に係る半導体集積回路の適例としてのCBIC (Cell Base Integrated Circuit) 3 (図4) と、このCBIC 3のフロアプラン検討を行うためのフロアプラン検討装置4 (図5) と、について説明する。

【0030】

先ず、RAM 1、PLL回路2の構成について説明する。

【0031】

図1に示すRAM 1及び図3に示すPLL回路2は、例えば図4に示すように、それぞれ半導体チップ5上に配されてCBIC 3の一部を構成するものである。

【0032】

このうち、RAM 1には、図1に示すように、該RAM 1の内部を通過する複数の通過配線11a、11b、11c、11d、11e、11fが、該RAM 1の半導体チップ5上への配置前に予め施されている。

**【0033】**

ここで、RAM1は、例えば、平面視における外形形状が矩形状をなしている。そして、通過配線11a～11cの経路は、平面視において、RAM1の外形を構成する一辺12から該一辺12に交差する他辺13に至るように設定されている。同様に、通過配線11d～11fの経路は、RAM1の一辺12から該一辺に交差する他辺14に至るように設定されている。

**【0034】**

より具体的には、他辺13、14は、それぞれ一辺12に対し直交かつ隣接する辺であり、通過配線11a～11fは、RAM1内をL字状に通過する。また、通過配線11a～11cは、スロットピッチ（Slot Pitch）に合わせて一定間隔に配されている。同様に、通過配線11d～11fも一定間隔に配されている。

**【0035】**

さらに、各通過配線11a～11fの両端部には、各通過配線11a～11fをRAM1の外部の配線と接続するための端子11gが設けられている。

**【0036】**

なお、RAM1は、図2に示すように、複数の階層（例えば、第1層111、第2層112、第3層113及び第4層114）からなる階層構造をなしていて、このうちいずれか一つ又は複数の階層に通過配線11a～11fが配されている（本実施形態のRAM1の場合、例えば、いずれの通過配線11a～11fも第2層112に配されている）。

**【0037】**

また、PLL回路2にも、図3に示すように、該PLL回路2の内部を通過する複数の通過配線21a、21b、21c、21d、21e、21fが、該PLL回路2の半導体チップ5上への配置前に予め施されている。このPLL回路2は、例えば、平面視における外形形状が矩形状をなしていて、通過配線21a～21fの経路は、平面視において、PLL回路2の外形を構成する一辺22から該一辺22に交差する他辺23、24に至るように設定されている。より具体的には、他辺23、24は、それぞれ一辺22に対し直交かつ隣接する辺である。

なお、PLL回路2における通過配線21a～21fは、該PLL回路2内を直線状に通過する。これら通過配線21a～21fは、通過配線11a～11fと同様に、スロットピッチに合わせて一定間隔に配されている。さらに、各通過配線21a～21fの両端部には、各通過配線21a～21fをPLL回路2の外部の配線と接続するための端子21gが設けられている。なお、PLL回路2もRAM1と同様の階層構造をなしていて、いずれかの階層に通過配線21a～21fが配されている。

#### 【0038】

次に、図4を参照して、以上のような構成のRAM1、PLL回路2の半導体チップ5上への配置について説明する。

#### 【0039】

先ず、RAM1はその内部を通過する通過配線11a～11fを備えているので、これら通過配線11a～11fを利用して信号線等の配線を行うことができる。従って、これら通過配線11a～11fを有しないRAMの場合と比べて、RAM1とRAM6との間隔、並びに、RAM1とRAM7との間隔を狭めることができる。

#### 【0040】

すなわち、例えば、RAM1の一辺12側の配線81と他辺13側の配線82について考えてみる。この場合に、本実施形態のRAM1によれば、図4に示すように、配線81、82をそれぞれ例えば通過配線11bに接続することにより、RAM1を迂回する配線を施すことなく、配線81から配線82までをスムーズに接続することができる。

#### 【0041】

これに対して、RAM1に通過配線11a～11cがない場合には、RAM1の一辺12から他辺13に沿って該RAM1を迂回する配線を施して配線81から配線82までを接続する必要があり、この結果、RAM1とRAM6との間隔を図4に示す場合よりも広げる必要がある。

#### 【0042】

このことは、RAM1の一辺12側の配線83と他辺14側の配線84につい

て考えた場合における RAM1 と RAM7 との間隔に関しても同様である。

#### 【0043】

このように、本実施形態の RAM1 によれば、該 RAM1 の内部を通過する複数の通過配線 11a～11f が、該 RAM1 の半導体チップ 5 上への配置前に予め施されているので、通過配線 11a～11f を利用して配線を行うことができる。従って、RAM1 が配線の邪魔になるという問題の発生を十分に抑制できる。また、RAM1 と RAM6, 7 との間隔における配線数を低減できることから、該間隔において必要な配線領域を最小限に抑えることができるため、RAM1 と RAM6, 7 との間隔を狭めることができる。よって、RAM1、6、7 をより一層集約した配置とすることができるので、CBIC3 の集積密度を十分なものとすることができるとともに、半導体チップ 5 の面積（チップ面積）を最小限にすることができる。

#### 【0044】

さらに、RAM1 と RAM6, 7 との間隔における配線数を低減できることから、該間隔において必要な配線領域の予測も比較的簡単になるので、フロアプランの検討が容易になり、TAT（Turn Around Time）の短縮も可能となる。しかも、通過配線 11a～11f を利用することにより配線の自由度並びにレイアウトの自由度が高まり、このことによってもフロアプランの検討が容易になり、TAT を短縮できる。

#### 【0045】

加えて、通過配線 11a～11f を利用して配線を行うことにより配線経路を最小限にすることができる（配線の迂回を抑制できる）ので、タイミング収束が容易になり、この結果、再レイアウトを行う必要性を低減させることができ（フロアプランの検討が容易になって）TAT を短縮できる。

#### 【0046】

また、特に、通過配線 11a～11f の経路は、平面視において、RAM1 の外形を構成する一辺 12 からこの一辺に交差する他辺 13, 14 に至るように設定されているので、該一辺 12 側から該他辺 13, 14 側に至る配線 81、82、配線 83、84 を、通過配線（例えば通過配線 11b、11e）を用いて施す

ことができる。よって、RAM1と、該RAM1の一辺12側近傍に配されるハードマクロ6、7との間隔、並びに、RAM1と、該RAM1の他辺13、14側近傍に配されるハードマクロ（図示略）との間隔を、いずれも最小限に抑制することができる。

#### 【0047】

また、PLL回路2は、該PLL回路2内部を通過する通過配線21a～21fを備えているので、これら通過配線21a～21fを利用して配線を行うことができる。従って、これら通過配線21a～21fを有しないPLL回路の場合と比べて、PLL回路2とI/O PAD9との間隔を狭めることができる。

#### 【0048】

すなわち、例えば、I/O PAD9より導出され、PLL回路2の一辺22側から他辺23側に至る配線86、87について考えてみる。この場合に、本実施形態のPLL回路2によれば、図4に示すように、配線86、87をそれぞれ例えば通過配線21bに接続することにより、PLL回路2を迂回する配線を施すことなく、配線86から配線87までを接続することができる。同様に、PLL回路2の一辺22側から他辺24側に至る配線88、89についても、これら配線88、89をそれぞれ例えば通過配線21eに接続することにより、PLL回路2を迂回する配線を施すことなく配線88から配線89までを接続することができる。なお、PLL回路2においてI/O PAD9に臨む一辺22には、I/O PAD9より導出された配線85が接続されている。

#### 【0049】

このように、本実施形態のPLL回路2によれば、該PLL回路2の内部を通過する通過配線21a～21fが、該PLL回路2の半導体チップ5上への配置前に予め施されているので、RAM1における場合と同様の効果が得られる。従って、PLL回路2をI/O PAD9の近傍に配置することができる。

#### 【0050】

また、特に、PLL回路2の通過配線21a～21fは、直線状の経路に設定されているので、該通過配線21a～21f（例えば通過配線21b、21e）を用いることにより、PLL回路2の一辺22側から該他辺23、24側に至る

配線 86、87、配線 88、89 を最短距離で接続することができる。

【0051】

また、本実施形態の C B I C 3 は、本実施形態の R A M 1、P L L 回路 2 を備えて構成されるので、集積密度の高いものとすることができ、フロアプラン検討を容易に行うことができる結果として短い T A T で製作することができる。

【0052】

次に、図 5 を参照して、本実施形態のフロアプラン検討装置 4 について説明する。

【0053】

フロアプラン検討装置 4 は、例えば、一般的な C A D ( C o m p u t e r A i d e d D e s i g n ) 装置からなり、入力部 41、制御部 42 及び表示部 43 を備えている。

【0054】

表示部 43 は、制御部 42 の制御下で、半導体集積回路（例えば C B I C 3）のレイアウトの表示やパラメータの入力画面の表示を行うものであり、例えば、C R T ( C a t h o d e R a y T u b e ) 方式の表示装置或いは L C D ( L i q u i d C r y s t a l D i s p l a y ) 等により構成されている。

【0055】

入力部 41 は、オペレータが操作（フロアプラン検討の実行要求操作やパラメータの入力操作等）を行うためのもので、例えば、キーボード及びマウスにより構成されている。

【0056】

制御部 42 は、入力部 41 からの信号入力に基づき、各種の演算・制御を行うもので、C P U ( C e n t r a l P r o c e s s i n g U n i t ) 421、R O M ( R e a d O n l y M e m o r y ) 422 及び R A M ( R a n d o m A c c e s s M e m o r y ) 423 を備えている。

【0057】

C P U 421 は、R O M (記録媒体) 422 に記憶されたプログラムを実行して各種処理を行う。R O M 422 には、各種処理の実行に必要なプログラム及び



データが記憶されている。RAM 423は、各種処理の際に各種データを一時的に記憶する記憶領域、並びに、CPU 421の作業領域を備えている。

#### 【0058】

より具体的には、CPU 421は、入力部 41でのオペレータによる操作に基づき、ROM 422に記憶されたフロアプラン検討処理実行用プログラム（プログラム）を実行して、フロアプラン検討処理を行う。このフロアプラン検討処理には、ハードマクロの配置及び配線の検討を行う処理が含まれる。

#### 【0059】

CPU 421は、このうち、ハードマクロの配置の検討を行う処理（ハードマクロ配置検討処理）を行う結果として、ハードマクロの配置を決定するが、このようなハードマクロの配置の検討及び決定は、以下に説明する配線の検討及び決定と並行して行うことが好ましい。すなわち、通過配線を好適に使用できるか否かに応じて配置を調節する。

#### 【0060】

CPU 421による配線の検討処理には、特に、ハードマクロ（RAM 1やPLL回路2）の通過配線をどのように使用するかの検討、つまり、通過配線の使用態様の検討を行う処理（通過配線使用態様検討処理）が含まれている。

#### 【0061】

この通過配線使用態様検討処理では、例えば、図4に示すようにRAM 1を半導体チップ5上に配置する場合において、通過配線11a～11fを使用するかどうかの検討、並びに、（いずれかを使用する場合において）いずれの外部配線（RAM 1外部の配線；図4の配線81、82、83、84等）をいずれの通過配線11a～11fに接続するのが最適であるかの比較検討及び決定を行う。例えば、図4に示す配線81－配線82間、並びに、配線83－配線84間を接続するに際しては、CPU 421は、先ず、これら配線間の接続に際してRAM 1が邪魔になることから、いずれかの通過配線11a～11fを使用することを決定する。続いて、CPU 421は、いずれの外部配線（配線81、82、83、84）をいずれの通過配線11a～11fに接続するのが最適であるかの比較検討を行い、該比較検討に基づき、いずれの外部配線81～84をいずれの通過配線

11a～11fに接続するかを選択的に決定する。ここで、配線81－配線82間の接続には、通過配線11bを使用した場合に（例えば、通過配線11a或いは11cを使用する場合等と比べて）最も配線経路を短くできるとともに配線に不必要な折れ曲がりが生じないようにできる一方で、配線83－配線84間の接続には、通過配線11eを使用した場合に最も配線経路を短くできるとともに配線に不必要な折れ曲がりが生じないようにできる。このため、CPU421は、例えば、配線81－配線82間の接続には通過配線11bを使用する一方で、配線83－配線84間の接続には通過配線11eを使用することを決定する。また、制御部42は、PLL回路2の配置に際しても同様に、通過配線21a～21fのいずれかを使用するか否かの検討、並びに、いずれの外部配線86, 87, 88, 89をいずれの通過配線21a～21fに接続するのが最適であるかの比較検討及び決定を行い、その結果として、例えば、配線86－配線87の接続には通過配線21bを使用する一方で、配線88－配線89間の接続には通過配線21eを使用することを決定する。なお、ここで、制御部42は、フロアプラン検討手段（通過配線使用態様検討手段を含む）として機能する。

#### 【0062】

このように、本実施形態のフロアプラン検討装置4によれば、フロアプラン検討手段（通過配線使用態様検討手段を含む）としての制御部42を備えるので、ハードマクロ（RAM1、PLL回路2）の配置の検討及び決定を行うことができる他、該ハードマクロの配置に際して、通過配線11a～11f（或いは21a～21f）を使用するか否かの検討と、いずれの通過配線をどのように（いずれの外部配線の接続用に）使用するのが最適であるかの比較検討及び決定と、を行うことができる。よって、ハードマクロを最適な配置にすることができるとともに、通過配線11a～11f（或いは21a～21f）を最適な態様で 사용할ことができる。

#### 【0063】

##### <変形例1>

上記の実施形態のハードマクロ（例えばRAM1）においては、該RAM1を構成する複数の階層（第1層111～第4層114）のうちでいずれか1つの階

層（例えば第2層112）にのみ通過配線11a～11fが配されている例を説明したが、ハードマクロの構成によっては、通過配線を複数の階層（2つ或いは3つ以上の階層）に亘って配した方が都合良い場合がある。

#### 【0064】

そこで、この変形例1では、図6を参照して、通過配線を複数の階層に亘って配する例について説明する。なお、図6では、上記の実施形態と同様の構成要素には同一の符号を付し、その説明を省略する。

#### 【0065】

図6に示すように、変形例1のRAM100の通過配線11aは、例えば、それぞれ、第2層112及び第3層113に亘って配されている。つまり、通過配線11aは、第1区間101と第2区間102に分割されていて、このうち第1区間101の配線は第3層113に配されている一方で、第2区間102の配線は第2層112に配されている。すなわち、一の通過配線（通過配線11a）が複数の区間（第1区間101及び第2区間102）に分割され、該区間毎の配線が、当該ハードマクロ（RAM100）内部の複数の階層（第2層112と第3層113）に分散配置されている。

#### 【0066】

また、同様に、通過配線11bは第1区間103と第2区間104とに分割されている一方で、通過配線11cは第1区間105と第2区間106とに分割されている。そして、このうち各第1区間103、105の配線は第3層113に配されている一方で、各第2区間104、106の配線は第2層112に配されている。

#### 【0067】

また、通過配線11fは、例えば、第2層112、第3層113及び第4層に亘って配されている。すなわち、通過配線11fは、第1区間107、第2区間108及び第3区間109に分割されていて、このうち第1区間107の配線は第2層112に、第2区間108の配線は第4層114に、第3区間109の配線は第3層113に、それぞれ配されている。

#### 【0068】

なお、通過配線 11f のように配線がハードマクロ内で引き回される場合、あるいは配線が長くなる場合には、予めリピータ 110 を挿入しておくことが好ましい。リピータ（バッファ（Buffer）ともいう）110 は、2 個のインバータが直列に接続されて構成された回路である。通過配線（例えば通過配線 11f）にリピータ 110 を挿入することにより、該通過配線における信号の遅延を制御することができる。ここで、図 6 に示すように、1 つの通過配線（例えば通過配線 11f）に対し複数のリピータ 110 を直列に設けても良いし、或いは、単数のリピータ 110 を設けることとしても良い。

#### 【0069】

##### <変形例 2>

上記の実施形態では、平面視におけるハードマクロ（RAM1、PLL 回路 2）の外形が矩形状であり、一辺 12 と他辺 13、14 とが（或いは一辺 22 と他辺 23、24 とが）隣接する場合について説明したが、変形例 2 では、図 7 に示すように、ハードマクロの外形に欠けがあり、一辺と他辺とが隣接していない場合について説明する。

#### 【0070】

すなわち、図 7（a）に示すように、ハードマクロ 200 は、その外形に矩形状の欠け 201 があり、このため、該ハードマクロ 200 の一辺 202 と他辺 203 とは隣接していない。ハードマクロ 200 は、一辺 202 から他辺 203 に至る L 字状の通過配線 204 を、欠け 201 に沿って備えている。

#### 【0071】

また、図 7（b）に示すように、ハードマクロ 300 は、その外形に矩形状の欠け 301 があり、このため、該ハードマクロ 300 の一辺 302 と他辺 303 とは隣接していない。ハードマクロ 300 は、一辺 302 から他辺 303 に至る直線状の通過配線 304 を、欠け 301 に沿って備えている。

#### 【0072】

変形例 2 のハードマクロ 200（300）によれば、通過配線 204（304）を利用して、ハードマクロ 200（300）の一辺 202（302）側から、該一辺 202（302）に直交する他辺 203（303）側に至る配線を施すこ

とができ、上記の実施形態と同様の効果が得られる。

#### 【0073】

なお、上記の実施の形態並びに各変形例においては、通過配線がL字状又は直線状である例を説明したが、本発明はこれに限らず、通過配線は、ハードマクロ内を、L字を繋げて構成したジグザグ状に通過するのも良い（通過配線の経路に折曲部が複数有っても良い）。

#### 【0074】

また、ハードマクロ（RAM1、PLL回路2等）が通過配線を複数備える例を説明したが、通過配線を1つのみ備えるようにしても良い。

#### 【0075】

また、上記においては、半導体集積回路としてCBIC3を例示したが、本発明に係る半導体集積回路はこれに限らず、その他のビルディングブロック方式の半導体集積回路であっても良い。

#### 【0076】

また、上記においては、本発明に係る記録媒体として、ROM422を例示したが、本発明に係る記録媒体には、データを記録することができるあらゆる媒体を含むものとする。すなわち、このような媒体の例としては、他にも、例えば、CD-ROM（Compact Disk-ROM）やPDなどのディスク型の記録媒体、磁気テープ、MO（Magnet Optical Disk）、DVD-ROM（Digital Video Disk-Read Only Memory）、DVD-RAM（Digital Video Disk-Random Access Memory）、フレキシブルディスク、EPROM（Erasable Programmable Read Only Memory）、EEPROM（Electrically Erasable Programmable Read Only Memory）、スマートメディア（登録商標）、フラッシュメモリー、コンパクトフラッシュ（登録商標）カードなどの書き換え可能なカード型ROM、ハードディスクがあり、その他プログラムの格納（記録）に適していれば、いかなる手段も用いることができる。

#### 【0077】

また、上記の実施の形態では、本発明に係る記録媒体として、フロアプラン検討装置 4 に備え付けの ROM 422 を示したが、本発明に係る記録媒体は、この例に限らず、例えば、フロアプラン検討装置 4 に対し着脱自在に構成された記録媒体により構成しても良い。

#### 【0078】

##### 【発明の効果】

本発明に係るハードマクロによれば、通過配線を備えるので、該通過配線を用いて配線を行うことにより、ハードマクロが配線の邪魔になるという問題の発生を十分に抑制できるし、チップ面積を有効利用できて半導体集積回路の集積密度向上が図れる。また、ハードマクロ間における配線数を低減できることから、配線領域の必要量の予測も比較的簡単になって、フロアプランの検討も容易になり、従って、TAT の短縮も可能となる。また、配線の自由度が高まる結果としてレイアウトの自由度も高まり、さらに、このようにレイアウトの自由度が高まる結果として、フロアプラン検討が容易になるとともにタイミング収束も容易になり、このことから TAT の短縮が可能となる。

#### 【0079】

特に、通過配線の経路が、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されているので、該一辺側から該他辺側に至る配線を、通過配線を用いて施すことができる。よって、当該ハードマクロと、該ハードマクロの一辺側近傍に配されるハードマクロとの間隔、並びに、当該ハードマクロと、該ハードマクロの他辺側近傍に配されるハードマクロとの間隔を、いずれも最小限に抑制することができる。

#### 【0080】

また、本発明に係る半導体集積回路によれば、本発明に係るハードマクロを備えて構成されるので、集積密度の高いものとすることができる。或いは、容易にフロアプラン検討を行う結果として短い TAT で製作することができる。

#### 【0081】

また、本発明に係るフロアプラン検討装置によれば、フロアプラン検討手段を備えるので、本発明に係るハードマクロの配置の検討を行うことができるほか、

本発明に係るハードマクロの通過配線を好適に利用してフロアプラン検討を行うことができる。

### 【 0 0 8 2 】

また、本発明に係るプログラム並びに記録媒体によれば、本発明に係るフロアプラン検討装置によるフロアプラン検討を好適に実現することができる。

### 【図面の簡単な説明】

#### 【図 1】

本発明に係るハードマクロの一例を示す平面図である。

#### 【図 2】

ハードマクロの階層構造を示す模式的な斜視図である。

#### 【図 3】

ハードマクロの他の一例を示す平面図である。

#### 【図 4】

本発明に係る半導体集積回路の一例を示す平面図である。

#### 【図 5】

本発明に係るフロアプラン検討装置を示すブロック図である。

#### 【図 6】

ハードマクロの階層構造の他の例を示す模式的な斜視図である。

#### 【図 7】

ハードマクロのその他の例を示す平面図である。

#### 【図 8】

従来の問題点を説明するための半導体集積回路の要部平面図である。

### 【符号の説明】

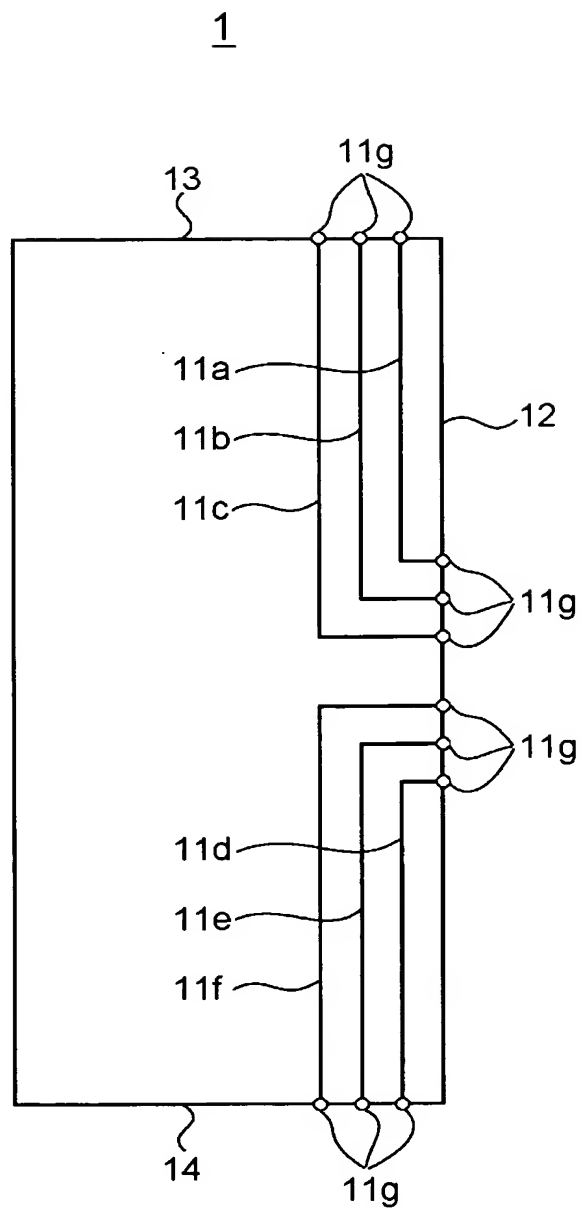
- 1        RAM（ハードマクロ）
- 1 1 a、1 1 b、1 1 c、1 1 d、1 1 e、1 1 f    通過配線
- 1 2       一辺
- 1 3、1 4   他辺
- 2        PLL回路（ハードマクロ）
- 2 1 a、2 1 b、2 1 c、2 1 d、2 1 e、2 1 f    通過配線

- 2 2 一辺
- 2 3、2 4 他辺
- 3 C B I C (半導体集積回路)
- 5 半導体チップ
- 1 1 0 リピータ
- 4 フロアプラン検討装置
- 4 2 制御部 (フロアプラン検討手段、通過配線使用態様検討手段)
- 4 2 2 R O M (記録媒体)
- 2 0 0 ハードマクロ
- 2 0 2 一辺
- 2 0 3 他辺
- 2 0 4 通過配線
- 3 0 0 ハードマクロ
- 3 0 2 一辺
- 3 0 3 他辺
- 3 0 4 通過配線

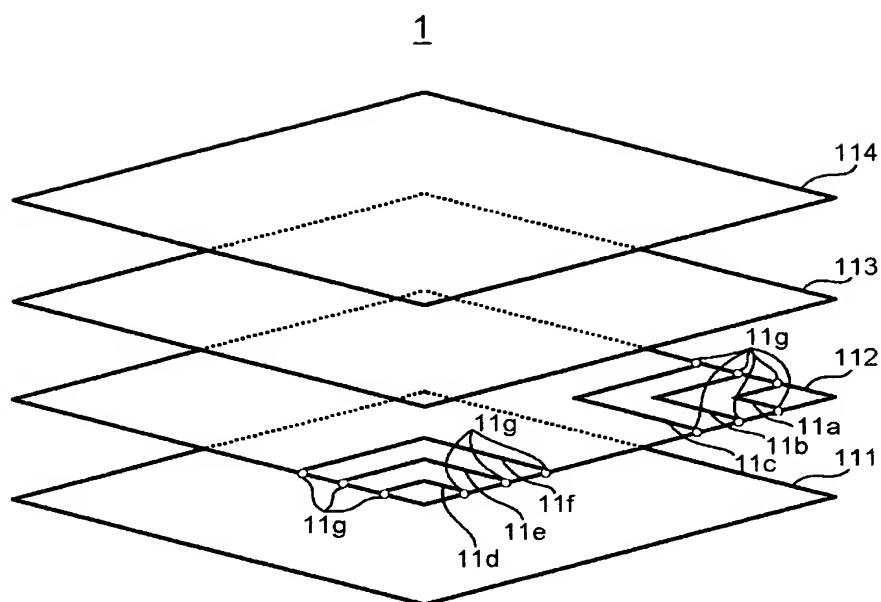


【書類名】 図面

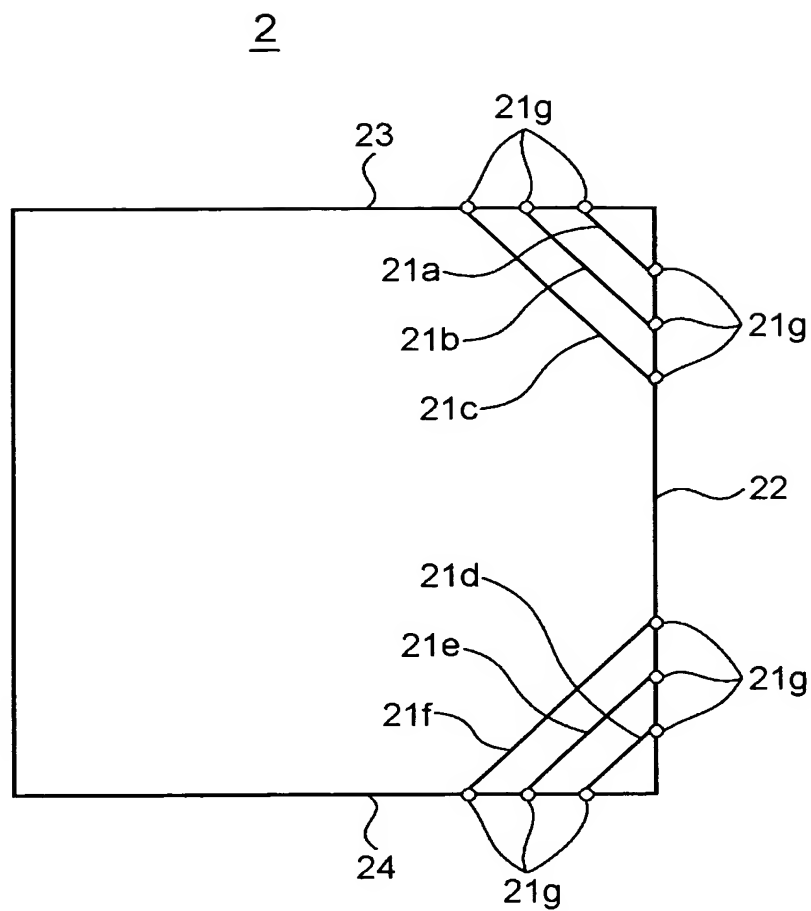
【図 1】



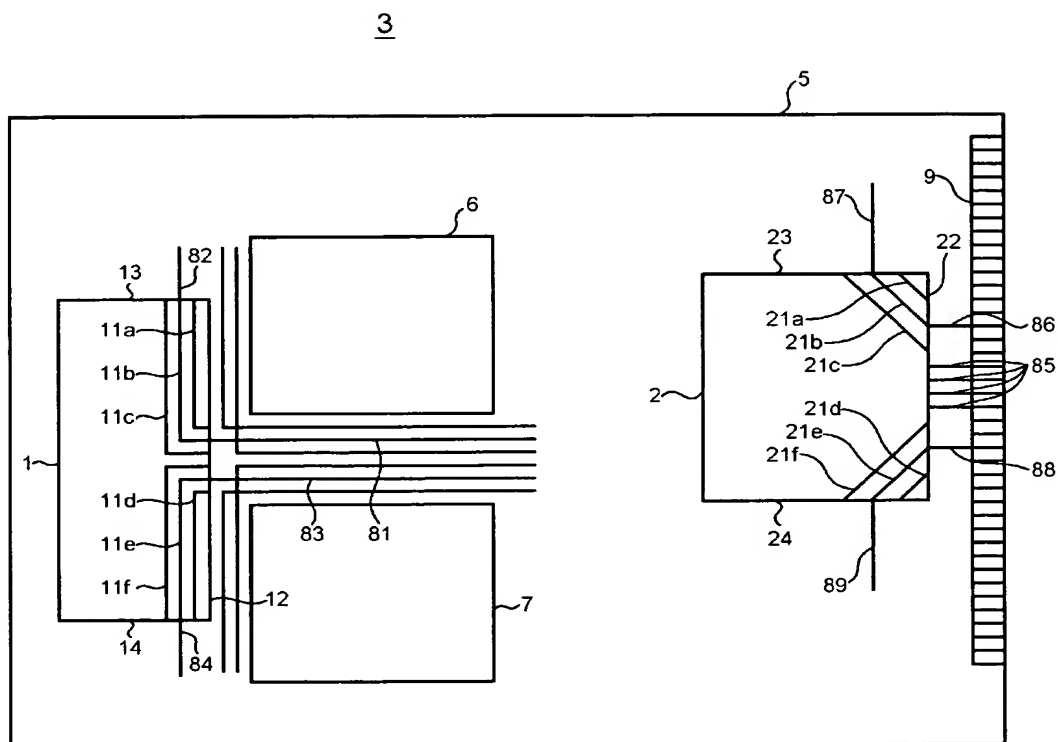
【図 2】



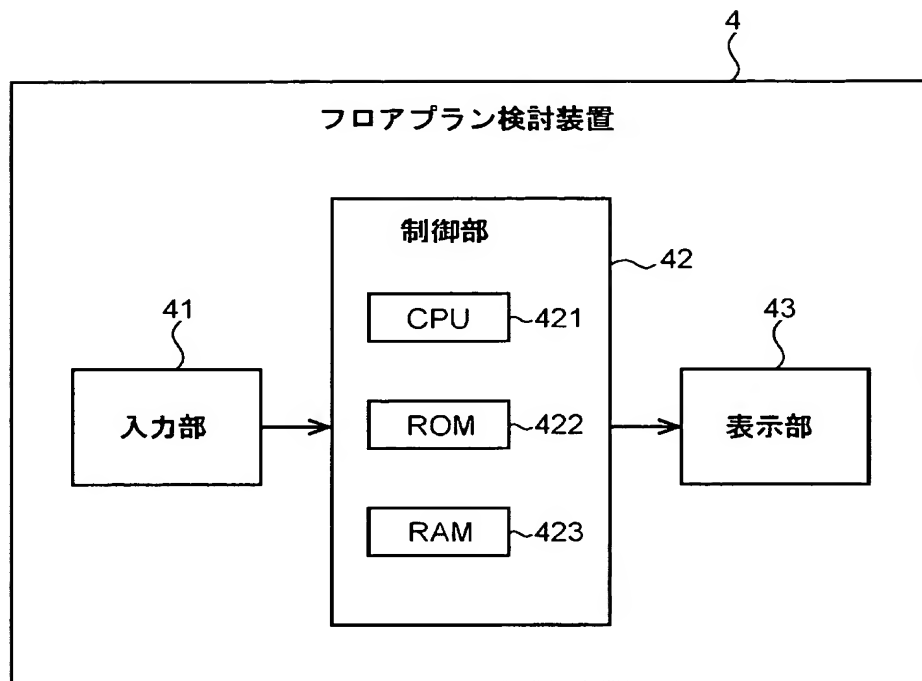
【図 3】



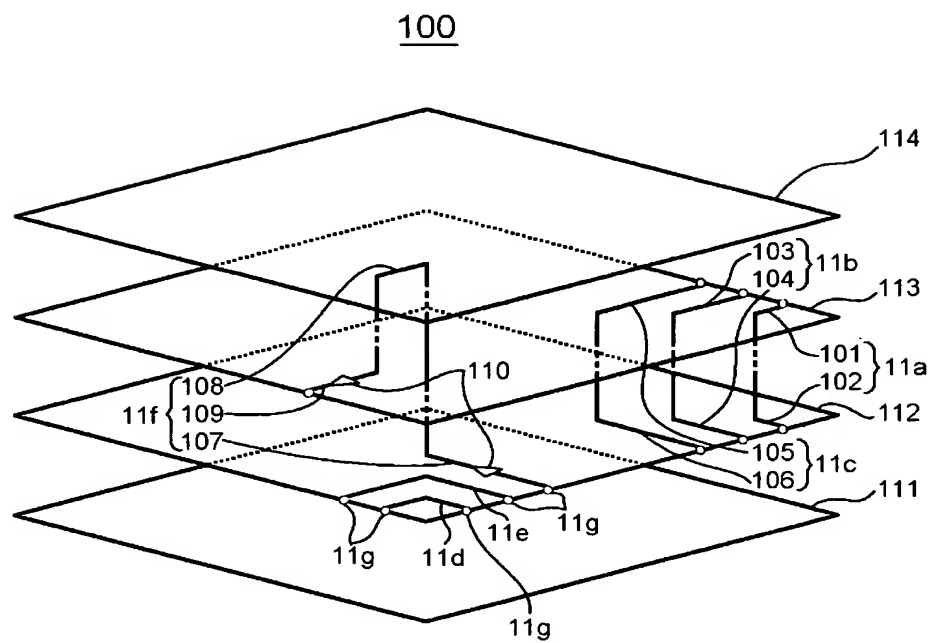
【図 4】



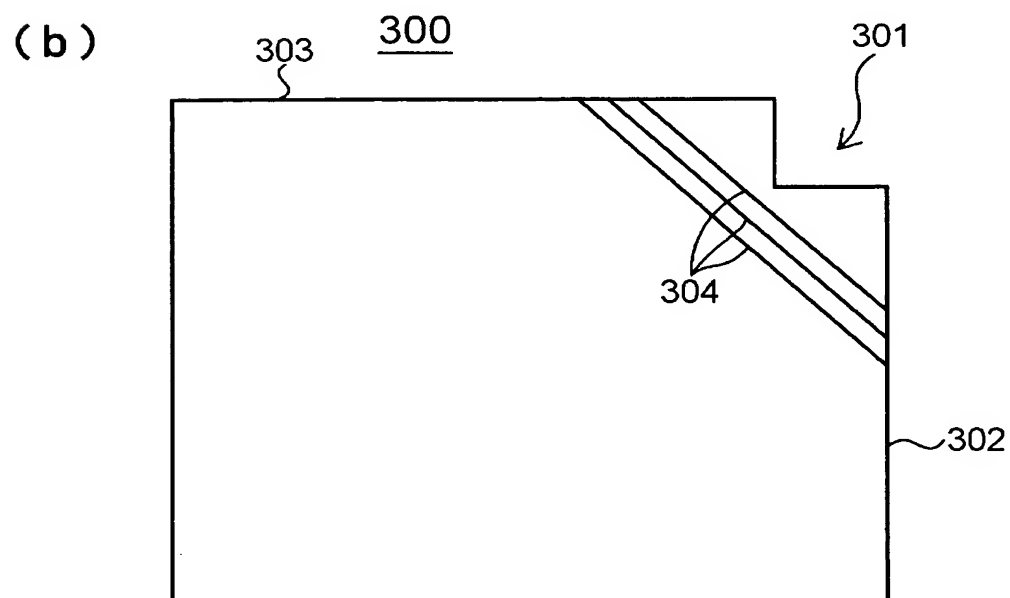
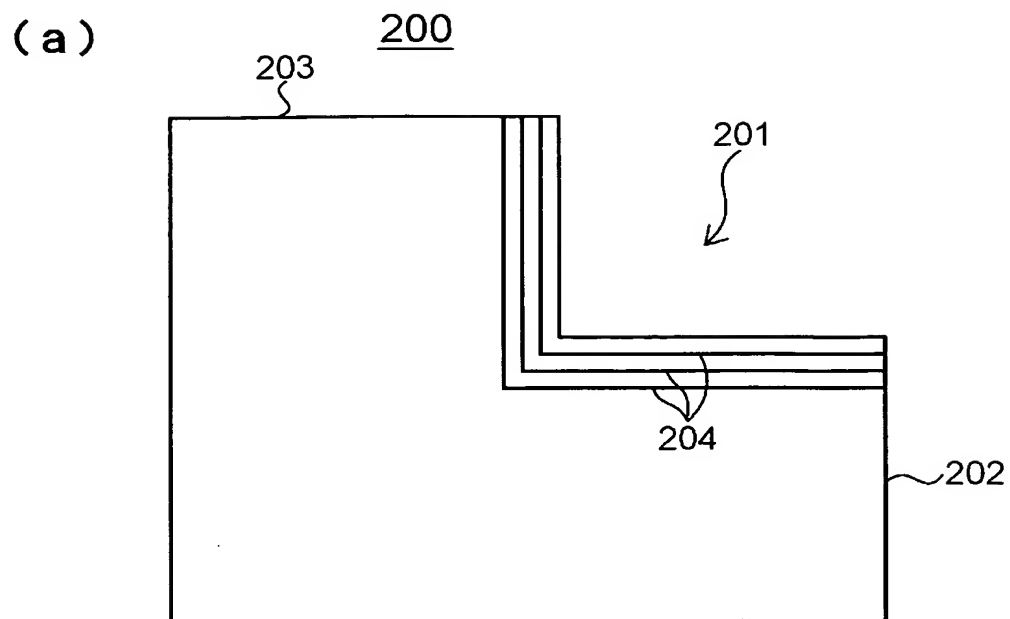
【図 5】



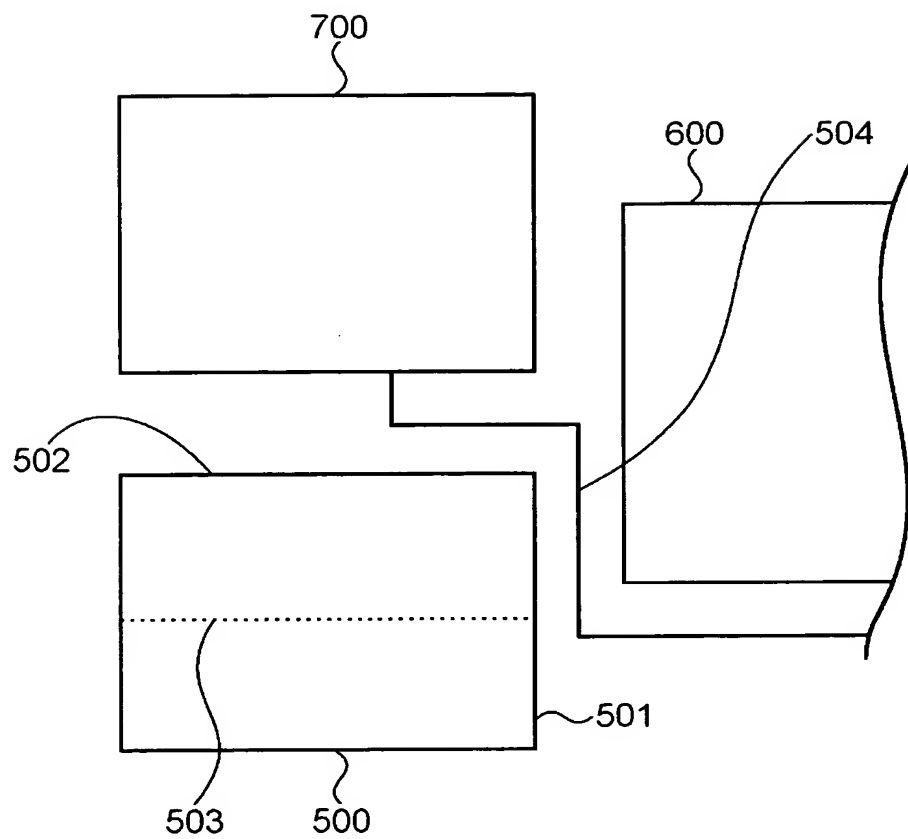
【図 6】



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 ハードマクロが配線の邪魔になるという問題の発生を十分に抑制できるとともに、配線領域の必要量の予測を容易にすることでフロアプランの検討も容易に行うことを可能とするハードマクロ、これを備える半導体集積回路を提供する。

【解決手段】 半導体チップ5上に配されて半導体集積回路3の一部を構成するハードマクロ（例えば、RAM1、PLL回路2）1, 2には、該ハードマクロ1, 2の内部を通過する通過配線11a～11f、21a～21fが、該ハードマクロ1, 2の半導体チップ5上への配置前に予め施されている。通過配線11a～11f（21a～21f）は、平面視において、ハードマクロ1（2）の外形を構成する一辺12（22）からこの一辺12（22）に交差する他辺13、14（23、24）に至る経路に設定されている。

【選択図】 図4

特願 2 0 0 3 - 1 0 7 6 8 2

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社